

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-101766
(43)Date of publication of application : 15.04.1997

(51)Int.Cl. G09G 3/36
G02F 1/133
G06T 5/00
G09G 3/20
H04N 5/66

(21)Application number : 08-183826 (71)Applicant : CANON INC
(22)Date of filing : 12.07.1996 (72)Inventor : SATO MAKOTO

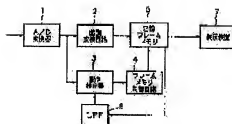
(30)Priority
Priority number : 07194941 Priority date : 31.07.1995 Priority country : JP

(54) PICTURE PROCESSING METHOD AND DEVICE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce memory capacity and influence of a noise when a binary picture is displayed rewriting only moving part by FLC liquid crystal.

SOLUTION: After R, G, B of an input picture are converted into digital signals of 8 bits by an A/D converter 1, and binarized by a gradation converting circuit 2. After a binary picture of a preceding frame held in a binary frame memory 5 is restored to original 8-bit gradation by a LPF 6, moving is detected by comparing the signal with present frame picture in a moving detector 3. A frame memory control circuit 4 outputs only a moving part out of the converted binary picture, and rewrites a moving part of a FLC display device 7. Therefore, a conventional memory in which a feature of a preceding frame for detecting moving is held can be omitted.



特開平9-101766

(43) 公開日 平成9年(1997)4月15日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 6 0		G 0 2 F 1/133	5 6 0
G 0 6 T 5/00		4237-5H	G 0 9 G 3/20	K
G 0 9 G 3/20			H 0 4 N 5/66	1 0 2 B
H 0 4 N 5/66	1 0 2		G 0 6 F 15/68	3 1 0 J
審査請求 未請求 請求項の数8 O L (全 9 頁)				

(21) 出願番号 特願平8-183826

(22) 出願日 平成8年(1996)7月12日

(31) 優先権主張番号 特願平7-194941

(32) 優先日 平7(1995)7月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 佐藤 真

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 弁理士 國分 孝悦

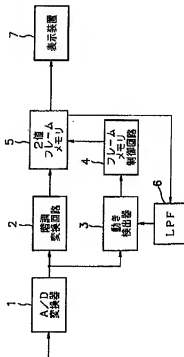
(54) 【発明の名称】 画像処理方法及び装置

(57) 【要約】

【課題】 F L C液晶により2値画像を動き部分のみを書き換えながら表示する場合にメモリ容量を削減すると共にノイズの影響を低減する。

【解決手段】 入力画像はA/D変換器1によりRGB各々が8ビットにデジタル化された後、階調変換回路2で2値化される。2値フレームメモリ5に保持された前フレームの2値画像はL P F 6で元の8ビット階調に復元された後、動き検出器3において現フレーム画像と比較されることにより動きが検出される。フレームメモリ制御回路4は変換された2値画像のうち動き部分のみを出力してF L C表示装置7の動き部分を書き換える。

【効果】 従来のように動き検出のための前フレームの特徴を保持しておくメモリを省略することができる。



【特許請求の範囲】

【請求項1】 入力される階調数 L_1 を持つ画像信号を階調数 L_2 （ $<L_1$ ）を持つ画像信号に変換し、変換された L_2 階調の画像信号を出力する際、当該画像の動きのある部分のみを出力する画像処理方法において、上記動きを検出する際に、現期間の L_1 階調の画像信号と、 L_2 階調に変換された前期間の画像信号を所定の復元処理により復元した復元画像信号とを用いることを特徴とする画像処理方法。

【請求項2】 上記復元処理は、所定の重み値と出力画像信号との積和演算を行うことにより、低域通過特性を持つフィルタ処理を行うことを特徴とする請求項1記載の画像処理方法。

【請求項3】 入力される階調数 L_1 を持つ画像信号を階調数 L_2 （ $<L_1$ ）の画像信号に変換する階調変換手段と、上記階調変換された画像信号を記憶する記憶手段と、上記階調変換された画像信号を復元する復元手段と、現期間に入力される画像信号と上記復元された画像信号とに基づいて画像の動きを検出する動き検出手段と、上記検出された動きに応じて上記記憶手段を書き換える書き換え手段とを備えた画像処理装置。

【請求項4】 上記復元手段は、所定の重み値と出力画像信号との積和演算を行うことにより、低域通過特性を持つフィルタ処理を行うことを特徴とする請求項3記載の画像処理装置。

【請求項5】 上記階調変換手段は、階調数を変換する際に所定のひずみ関数が最小化されるように成され、上記復元手段は、上記階調変換手段から出力される画像信号を上記ひずみ関数のパラメータにより元の階調数の画像信号を復元するように成され、

上記動き検出手段は、上記復元手段で復元した画像信号と入力される画像信号とを比較することにより連続するフレーム間の動きを検出するように成されていることを特徴とする請求項3記載の画像処理装置。

【請求項6】 上記ひずみ関数は、所定の係数との積和演算を施した入力画像信号と出力画像信号との2乗誤差を最小化することを特徴とする請求項5記載の画像処理装置。

【請求項7】 上記階調変換手段は、セルラーニューラルネットワークに基づき入力画像信号をデジタル処理するように成され、入力画像信号の所定領域内の複数の画素と所定の入力重み値との積和を演算処理する第1の積和演算手段と、出力画像信号の所定領域内の複数の画素と所定の出力重み値との積和を演算処理する第2の積和演算手段と、上記第1および第2の積和演算手段の演算結果を入力して所定の非線形特性に基づいて出力データを決定する非線形作用手段とから構成されることを特徴とする請求項5記載の画像処理装置。

【請求項8】 上記記憶手段から読み出された画像信号

を表示する表示手段を設けたことを特徴とする請求項3記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は少ない階調数を持つ表示装置に対して表示画像の部分的な書換えを行う画像処理方法及び装置に関するものである。

【0002】

【従来の技術】 近年コンピュータの小型化、マルチメディア化が進む状況において、コンピュータに付随した表示装置にも大きな進展が見られるようになって来た。表示装置としては液晶表示装置が広く使われるようになってきているが、その1つとして強誘電性液晶表示素子を利用したもの（以下F LCDと称す）がある。F LCDは高精細で大画面を持つ表示装置を得ることが可能であるという特徴を有しているが、液晶素子自体は光の透過率をアナログ的に変化できない2値デバイスであるため、フルカラーの画像などを表示するにはONとOFFのドットの組み合わせで疑似的に階調を表現する、デジタル中間調処理を行って中間階調を再現する必要がある。また、大画面を毎秒30フレーム、あるいはそれ以上の速度で表示するのは困難であるため、F LCDの特徴であるメモリ性を生かして、画面の中で動きのあった部分のみを書き換えることが必要である。このため、画像の中で動いた部分を検出する必要があるが、このために従来では次のような方法を用いていた。

【0003】 図6はコンピュータからのアナログ画像信号をF LCDに表示するための、動き検出手段を含むF LCD用画像処理装置のブロック図である。図において、不図示のコンピュータから出力されたアナログ画像信号は、A/D変換器1において所定の階調数、例えばRGB各8ビットのデジタル信号に変換される。階調変換回路2は、A/D変換器1の出力したデジタル信号を、デイズ法、誤差拡散法などの公知のデジタル中間調処理手段により、表示装置7の表示可能な階調数、例えばRGB各1ビットの階調を持つデジタル信号に変換する。階調変換回路2から出力されたデジタル信号は2値フレームメモリ5にストアされる。

【0004】 一方、A/D変換器1の出力したデジタル信号は動き検出器9に入力される。図7は動き検出器9のブロック図であり、A/D変換器1から入力した画像信号は所定のK画素分の大きさを持つラインバッファ901に蓄えられる。ラインバッファは図7に示すようにK個のピクセルを格納するように構成されており、ラインバッファ903から読まれる各画素データは乗算器902、加算器903、およびアキュムレータ904により、次式で示したように加重平均処理を行い、K個の画素の集合に対応した特徴値 S_t に変換される。

【0005】

【数1】

$$S_i = \sum_{p=0}^{K-1} w_i p_i \quad (1)$$

【0006】ここで、 w_i は予め所定の方法により定められた重み係数であり、処理中の画像は i 番目のフレームに属しているものとする。次に求めた特徴量 S_i と、

$$\Delta S = (S_i - S_{i-1}) > T$$

であった場合、当該ライン部分で動きがあったとしてその時の画素のラインアドレスをフレームメモリ制御回路4に出力する。ここでラインアドレスは連続した K 個の画素の先頭アドレスとする。

【0007】以上の動き検出処理がRGB各色毎に行われ、計算された特徴量は新たに特徴量メモリ10にストアされる。フレームメモリ制御回路4は、2値フレームメモリ5にストアされたRGB各1bitの階調を持つデジタル信号の中から動き検出器9の出力したアドレス情報に基づき、動きの検出されたラインのデータを表示装置7に出力する。以上により連続したアナログ画像信号を所定の階調に変換し、かつフレーム間の動きを検出して部分的な書き換えを行い、実時間での画像表示を実現している。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来例においては、動き検出を行うために前フレームの画像データから得られた特徴量を特徴量メモリ10に記憶する必要がある。特に近年の画面サイズの大増大に伴い、この特徴量メモリに必要な容量は増加する傾向にあり、コストアップを招くという問題がある。また、動き検出を行う際、特徴量を計算せずに2値化された画素データ同士を直接比較する方式も考えられる。しかしこの場合、画像信号に伝送経路からのノイズが含まれると、2値化された画像のビットは容易に反転してしまうため、誤検出を起こすという問題があった。

【0009】従って、本発明の目的は、動き検出のために必要な特徴量メモリを可能な限り削減し、これによってシステムのコストダウンを計ると共に、ノイズによる誤検出の発生しにくい画像処理方法及び装置を提供することである。

【0010】

【課題を解決するための手段】請求項1の発明による画像処理方法は、入力される階調数 L_1 を持つ画像信号を階調数 L_2 ($< L_1$)を持つ画像信号に変換し、変換された L_2 階調の画像信号を出力する際、当該画像の動き

$$x_{ij} = \sum_{m,n} A_{ijmn} y_{mn}(t) + \sum_{m,n} B_{ijmn} u_{mn}(t) + S$$

$$y_{ij}(t+1) = f(x_{ij}(t))$$

$$f(x) = \begin{cases} 1 & \text{for } x \geq 0 \\ -1 & \text{for } x < 0 \end{cases} \quad (3)$$

【0016】と定義される。ここで A_{ijmn} と B_{ijmn} は位置 (m, n) のニューロンから位置 (i, j) ニューロ

前フレームの画像データから求められ図6の特徴量メモリ10にストアされていた特徴量 S_{i-1} とを比較制御器905において比較する。ここで比較の結果である差分 ΔS を所定の閾値 T と比較し、

..... (2)

のある部分のみを出力する画像処理方法において、上記動きを検出する際に、現期間の L_1 階調の画像信号と、 L_2 階調に変換された前期間の画像信号を所定の復元処理により復元した復元画像信号とを用いるようにしている。

【0011】請求項3の発明による画像処理装置においては、入力される階調数 L_1 を持つ画像信号を階調数 L_2 ($< L_1$)の画像信号に変換する階調変換手段と、上記階調変換された画像信号を記憶する記憶手段と、上記階調変換された画像信号を復元する復元手段と、現期間に入力される画像信号と上記復元された画像信号とに基づいて画像の動きを検出する動き検出手段と、上記検出された動きに応じて上記記憶手段を書き換える書き換え手段とを設けている。

【0012】

【作用】本発明によれば、 L_2 階調の画像から元の L_1 階調の画像が復元され、復元された前期間の L_1 階調の画像と入力された現期間の L_1 階調の画像とを特徴量化し、比較することにより動きを検出する。これにより前期間の特徴量を別途メモリに記憶しておく必要が無く、システムのコストダウンを図ることができる。さらに前期間の画像を復元することにより、 L_2 階調の画像同士の比較ではなく特徴量に変換することができるため、ノイズに起因する誤検出を防ぐような手法の適用が可能となる。

【0013】また、請求項2、4のように、ローパスフィルタを用いることができるので、伝送系のノイズが軽減され、検出精度を高めることができる。

【0014】また、請求項5による構成において、階調変換手段はニューロンの結合が局所的であるセルラニューラルネットワークで構成される。セルラニューラルネットワークの動作は大きさが $M \times N$ の画像を2階調数へ変換する場合、

【0015】

【数2】

への接続にかかる重みである。また u_m と y_n は位置 (m, n) における入力画像データ、出力画像データで

ある。セルラーニューラルネットワークは式(3)の動作により次のように設定されたひずみ関数が最小化される出力画像を生成する。

$$\begin{aligned} \text{【0017】} \quad & \text{ひずみ関数 } \text{dist} \rightarrow (y_i, \rightarrow u_i) \text{ は} \\ & \text{dist} \rightarrow (y_i, \rightarrow u_i) \\ & = (1/MN) (\rightarrow H \rightarrow y_i \rightarrow u_i)^T (\rightarrow H \rightarrow y_i \rightarrow u_i) \\ & \dots\dots\dots (4) \end{aligned}$$

【0018】このひずみ関数とニューラルネットワークのエネルギー関数を比較することで、ネットワークのパラ

$$\begin{aligned} & \rightarrow A \rightarrow \rightarrow H^T \rightarrow H + \text{diag} \{ \rightarrow H^T \rightarrow H \} \\ & \rightarrow B \rightarrow H \\ & S = 0 \end{aligned}$$

と設定される。このパラメータによりネットワークを動作させ出力画像が得られた時、ひずみ関数の値は最小化されている。

【0019】上記復元手段は、上記階調変換手段により出力された1つ前のフレームにおける出力画像 $\rightarrow y_{i-1}$

$$\rightarrow r e u_{i-1} \Rightarrow H \rightarrow y_{i-1}$$

【0020】上記比較手段は、復元された前フレームの画像 $\rightarrow r e u_{i-1}$ と現在のフレームの入力画像 $\rightarrow u_i$ とを入力して連続する2フレーム間で変化の生じた部分、すなわち動きを検出する。

【0021】この構成による画像処理装置によれば、

・前フレームの画像を、前フレームの出力画像から復元により得ているため、動き検出専用のメモリを必要としない。

・階調変換された出力画像は、復元により得られる画像との誤差が最小になるように変換されているため、動き検出の際の精度向上が可能となる。

・比較に際してフィルタ処理を行った画像を用いるため、ノイズによる誤検出の抑制効果がある。という特徴を有しており、従来例で挙げた問題点の解決が可能となる。

【0022】

【発明の実施の形態】図1は本発明による画像処理装置の第1の実施の形態を示すブロック図である。尚、図1中で図6と相当する部分には、同一符号を付して重複する説明を省略する。同図において、1はA/D変換器、2は階調変換回路、3は動き検出器、4はフレームメモリ制御回路、5は2値フレームメモリ、7は表示装置、6は図2および後述する式(9)に示した係数を持つ低域通過特性を有するフィルタであり、以下LPFと称する。

【0023】次に動作について説明する。不図示のコン

階調数変換されたi番目の出力画像 $\rightarrow y_i$ (ベクトル y_i 、以下 \rightarrow はベクトルを表すものとする)に所定のフィルタ $\rightarrow H$ を施した結果と、変換前の入力画像 $\rightarrow u_i$ との2乗誤差から式(4)のように定義されている。

メータである重みは、

$$\dots\dots\dots (5)$$

に対して式(6)に従いフィルタ操作を行って $\rightarrow y_{i-1}$ を $\rightarrow r e u_{i-1}$ に変換する。
 $\rightarrow r e u_{i-1}$ は1つ前のフレームにおける入力画像 $\rightarrow u_{i-1}$ との差が最小化された復元画像となる。

$$\dots\dots\dots (6)$$

ビュータから出力されたアナログ画像信号は、A/D変換器1において所定の階調数、例えばRGB各8bitのデジタル信号に変換される。階調変換回路2はA/D変換器1の出力したデジタル信号を、ディザ法により表示装置7の表示可能な階調数、例えばRGB各1bitの階調を持つデジタル信号に変換する。ここでのディザ処理は公知の技術で構成可能であるため説明は省略する。階調変換回路2から出力されたデジタル信号は2値フレームメモリ5にストアされる。

【0024】一方、A/D変換器1の出力したデジタル信号は動き検出器3に入力される。以下図2により本実施の形態における動き検出器3について説明する。図2において、A/D変換器1から出力された画像信号は所定のK画素分の大ききを持つラインバッファ301に蓄えられる。ラインバッファ301は図示のように、K個のピクセルを格納するように構成されており、ここではi番目のフレームにおける座標が(i, j)である画素から走査方向にK個分の画素がラインバッファ301に入力されているとする。ラインバッファ301に蓄えられた各画素データは乗算器302、加算器303、およびアキュムレータ304により、次式で示すように加重平均処理を行い、K個の画素の集合に対応した特徴値 S_t に変換される。

【0025】

【数3】

$$S_t = \sum_{k=0}^{K-1} w_k P_t(i+k, j) \dots\dots\dots (7)$$

【0026】ここで、 w_k は予め所定の方法により定められた重み係数であり、 $P_t(i, j)$ はt番目のフレームでの画像における座標が(i, j)である画素を現している。一方2値フレームメモリ5に記憶されている

t-1番目の2値画像データは、位置が(i, j)である画素を中心に隣接する計9画素分のデータがLPF6に取り込まれ、ここで式(8)による演算が行われ、周辺画素間で重み付き平均により平均化された値に変換され

る。

【0027】

【数4】

$$\hat{P}_{t-1}(i, j) = \frac{\sum_{m,n=-1}^1 A_{mn} P_{t-1}(i+m, j+n)}{\sum_{m,n=-1}^1 A_{mn}} \quad (8)$$

【0028】ここで A_{mn} は各画素に乘ぜられる係数であり、次式に示す値から構成されている。

【0029】

【数5】

$$A = \begin{pmatrix} A_{-1,-1} & A_{0,-1} & A_{1,-1} \\ A_{-1,0} & A_{0,0} & A_{1,0} \\ A_{-1,1} & A_{0,1} & A_{1,1} \end{pmatrix} = \begin{pmatrix} 1 & 2 & 1 \\ 2 & 4 & 2 \\ 1 & 2 & 1 \end{pmatrix} \quad (9)$$

【0030】この平均値 $\hat{P}_{t-1}(i, j)$ は、階調変換後の値から、周辺画素との重み付け平均により得られた $P_{t-1}(i, j)$ の復元値となる。こうして得られた復元値 $\hat{P}_{t-1}(i, j)$ は動き検出器3に設けられたもう1つのラインバッファ306にセットされ、以下K個分の2値画素データに対して同様な処理が行われてK個分の平均値がラインバッファ2にセットされる。ラインバッファ2に蓄えられた各画素データは、各画素毎に乗算器307、加算器308およびアキュムレータ309により、次式で示すように加重平均処理を行い、K個の画素の集合に対応した特徴値 S_{t-1} に変換される。

$$\Delta S = (S_t - S_{t-1}) > T$$

【0034】であった場合、当該ライン部分で動きがあったとして、その時の画素のラインアドレスを図1のフレームメモリ制御回路4に出力する。ここでラインアドレスは連続したK個の画素の先頭アドレスとする。以上の動き検出処理がRGB各色毎に行われる。

【0035】フレームメモリ制御回路4は動き検出器3の出力したアドレス情報から、動きの検出されたラインのデータを表示装置7に出力するように2値フレームメモリ5を制御する。以上により連続したアナログ画像信号を所定の階調に変換し、かつフレーム間にまたがる動きを検出して部分的な書換えを行って実時間で画像表示を実現している。

【0036】図3は本発明による画像処理装置の第2の実施の形態を示すブロック図である。尚、図3中で図1に相当する部分には、同一符号を付して重複する説明を省略する。同図において、1はA/D変換器、2は階調変換回路、5は2値フレームメモリ、6はL P F、8は比較回路、4はフレームメモリ制御回路、7は表示装置である。

【0037】次に動作について説明する。不図示のコン

$$S_t = \sum_{k=0}^{K-1} W_k \hat{P}_{t-1}(i+k, j) \quad (10)$$

【0032】ここで、 w_k は先程 S_t を求めたときと同じ重み係数である。こうして得られた2つの特徴量 S_t 、 S_{t-1} は比較制御器305に入力される。比較制御器305は比較を行い、比較の結果である差分 ΔS を所定の閾値 T と比較して、

【0033】

..... (11)

ビュータから出力されたアナログ画像信号は、A/D変換器1により所定の階調数、例えば1色当たり256の階調を持つディジタル画像信号 $\rightarrow u$ に変換される。 $\rightarrow u$ は階調変換回路2により表示装置7の表示可能な階調数、例えば1色当たり2階調に変換され、2値フレームメモリ5に出力される。ここで表示装置7はF L C Dであり、1フレームの画像の中で前フレームと比較して動きのある部分のみがフレームメモリ制御回路4により2値フレームメモリ5より送出されている。本構成においてフレーム間の動きは比較回路8により検出されている。

【0038】階調変換回路2は、前述したようにニューロンが局所的に結合されているセルラーニューラルネットワークから構成されており、A/D変換器1から入力した n 番目のフレームのディジタル画像信号 $\rightarrow u^a$ から、式(12)に示すニューラルネットワークの動作により画像 $\rightarrow y^a$ に変換し、出力するように動作する。

【0039】

【数7】

$$x_{ij}^n(t) = \sum_m A_{ijmn} y_{mn}^n(t) + \sum_m B_{ijmn} u_{mn}^n(t) + S$$

$$y_{ij}^n(t+1) = f(x_{ij}^n(t))$$

$$f(x) = \begin{cases} 1 & \text{for } x \geq 0 \\ -1 & \text{for } x < 0 \end{cases} \quad (12)$$

【0040】ここで $u_{ij}^n(t)$ 、 $y_{ij}^n(t)$ は画面上の位置 (i, j) に対応する入力画像信号 $\rightarrow u^n$ および出力画像信号 $\rightarrow y^n$ の、 t 回目のニューラルネットワークの動作における値である。また、 f は表示装置7の表示可能な階調数により決定される非線形関数、 A_{ijmn} 、 B_{ijmn} は y^n および u^n に適用される空間フィルタ操作のためのフィルタ係数であり、予め式(5)により決定されている。ここでフィルタ H は人間の視覚特性に似通っている2次元のガウス分布である。

【0041】図4は f の例を図示したもので、入力に対する出力のレベル数は、表示装置7が表示可能な階調数と同じであり、その出力は表示装置に表示可能な階調数

$$\sum_j |y_{ij}^n(t) - y_{ij}^n(t-1)| < T_s \quad (13)$$

【0044】この時出力された画像信号 $\rightarrow y^n$ 、入力画像信号 $\rightarrow u^n$ との間において、セラーニューラルネットワークの動作により、式(4)で示すひずみ関数が最小化されている。

【0045】次に後続する $n+1$ 番目のフレームの画像信号が入力され、前フレームの場合と同様に $A \setminus D$ 変換 $\rightarrow r \in u^n \Rightarrow H \rightarrow u^n$

【0047】 $\rightarrow u^{n+1}$ と $\rightarrow r \in u^n$ とはライン単位で比較回路8に入力され、これらのデータに基づき連続した2フレーム間の当該ラインでの動きが検出される。

【0048】図5は、比較回路8の構成例を示すブロック図である。ライン単位で比較回路8に入力された $\rightarrow r$

$$d = re u_{ij}^{n+1} - u_{ij}^{n+1} \quad (15)$$

【0050】ただし、 $\rightarrow r \in u_{ij}^{n+1}$ と u_{ij}^{n+1} は、 j 番目のラインにおける j 番目の画像データを表す。この d はまず比較器803に入力されて予め決められた閾値 T_{h1} と比較される。比較器803は d が T_{h1} より大きい場合に1を出力し、そうでない場合は0を出力して後続のカウンタ804に与えている。また画素数カウンタ802は入力される画素の数をカウントしており、カウント数が予め設定された L を越え、カウンタ804に対してリセット信号を出力する。カウンタ804はリセット信号を受けると、それまで入力された1のデータの個数 K を後続の比較器805に出力し、内部のカウントを0にクリアする。比較器805は入力されたデータの個数 K を入力し、それと予め設定されている閾値 T_{h2} とを比較して、 K が T_{h2} を越えた場合に1を出力し、そうでない場合は0を出力している。

を持つ画像データとなる。図4では出力階調数は2であり、表示装置7はONまたはOFFのいずれかの状態を取る2値デバイスとする。

【0042】階調変換回路2は、出力データ $y^n(t)$ を式(12)により計算し、その結果得られる画像信号の繰り返し間の差分の1画面内での総和を計算し、式(13)に示すようにそれがある値 T_s 以下になった時に、その時の出力画像信号 $\rightarrow y^n(t)$ を階調変換された画像 $\rightarrow y^n$ として2値フレームメモリ5に出力する。

【0043】

【数8】

器1によりディジタル画像信号 $\rightarrow u^{n+1}$ に変換された後に比較回路8に入力される。一方、先にフレームメモリに記憶された前フレームの画像 $\rightarrow y^n$ はL P F 6に入力され、式(14)に従って次のように変換される。

【0046】

$$\dots\dots\dots (14)$$

$\rightarrow u^n$ と $\rightarrow u^{n+1}$ とは、それぞれ各画素毎に加算器801に入力され、差分 d が計算される。

【0049】

【数9】

【0051】一方、加算器801から出力された d はアキュムレータ806にも入力される。アキュムレータ806は画素毎に入力した d の値を積算しており、画素数カウンタ802のリセット信号を受け取るとそれまでの積算値 V を後続の比較器807に出力する。比較器807は入力した V と予め設定されている閾値 T_{h3} とを比較し、 V が T_{h3} を越えた場合に1を出力し、そうでない場合は0を出力する。最終的に比較回路8は、オアゲート809により比較器805と807から出力された結果の論理和をとり、現在有効なラインに対する書換えフラグとして出力している。また、ラインカウンタ808により画素数カウンタ802の出力からライン番号をカウントし、現在有効なライン N_o として出力している。

【0052】図3において、フレームメモリ制御回路4

は比較回路8から入力した書換えフラグおよびラインN o. から、表示装置7に出力するべきラインのデータを表示装置7に出力するように2値フレームメモリ5を制御する。このように、比較の際にL P F処理を行い、複数の閾値を組み合わせて比較することにより、入力画像にノイズが重畳されている場合であっても安定した検出を行うことができる。

【0053】

【発明の効果】本発明による効果は以下の通りである。請求項1、3に示す構成によれば、動き検出の際前フレームのデータを表示用フレームメモリから復元により得ているため、従来例のように動き検出専用のメモリを備える必要がなく、コストの観点から有利なシステムを構成することができる。

【0054】また、請求項2、4に示す構成によれば、復元手段を一般的なローパスフィルタから構成することが可能であるため、簡易なハードウェアで構成でき、コストの点から有利である。また、ローパスフィルタを適用することで、伝送系ノイズが重畳している場合であっても、ノイズ除去の効果が検出精度を高めることができる。

【0055】請求項5に示す構成によれば、本発明による復元により得られる復元画像は、原画像との差分から与えられるひずみ関数が最小であるため、復元画像を用

いることにより精度の高い動き検出を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

【図2】図1の動き検出器の構成例を示すブロック図である。

【図3】本発明の第2の実施の形態を示すブロック図である。

【図4】図3の階調変換回路における非線形関数の一例を示す特性図である。

【図5】図3の比較回路の構成例を示すブロック図である。

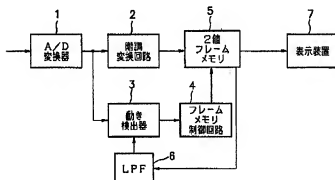
【図6】従来の画像処理装置を示すブロック図である。

【図7】図6の動き検出器を示すブロック図である。

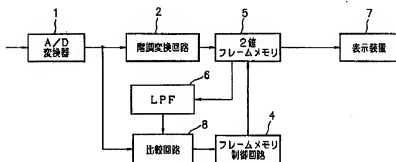
【符号の説明】

- 1 A/D変換器
- 2 階調変換回路
- 3 動き検出器
- 4 フレームメモリ制御回路
- 5 2値フレームメモリ
- 6 L P F
- 7 表示装置
- 8 比較回路

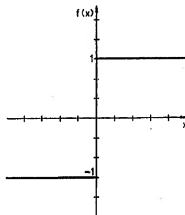
【図1】



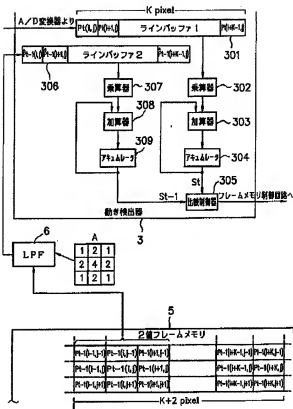
【図3】



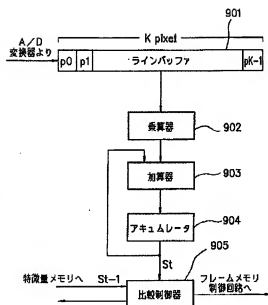
【図4】



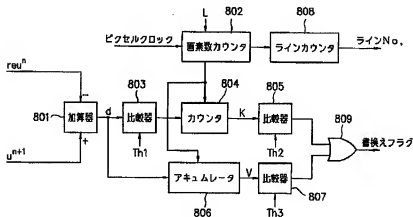
【図 2】



【図 7】



【図 5】



【図6】

